

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-008039

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H01L 21/3205  
H01L 21/304

(21)Application number : 07-158835

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 26.06.1995

(72)Inventor : ABE KAZUhide

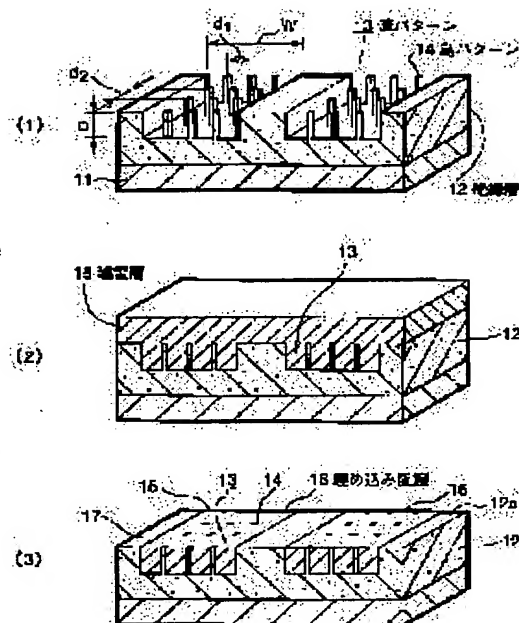
## (54) FORMATION OF BURIED WIRING AND BURIED WIRING

## (57)Abstract:

**PURPOSE:** To provide a formation method of a buried wiring which can ensure flatness of a polishing surface and a buried wiring.

**CONSTITUTION:** An insulation layer 12 is etched for forming a groove pattern 13 in the insulation layer 12 and an island pattern 14 which is formed of the insulation layer 12 and is almost as high as the layer 12 inside the groove pattern 13 at a fixed interval. A conductive layer 15 is formed on the insulation layer 12 to bury the inside of the groove pattern 13. The conductive layer 15 is polished by chemical and mechanical polishing until the insulation layer 12 is exposed and a buried wiring 15 composed of the conductive layer 15 is formed inside the groove pattern 13.

Thereby, the conductive layer 15 is chemically and mechanically polished making an opening width of the groove pattern 13 partially narrow and a buried wiring 16 wherein dishing phenomenon is prevented is formed.



## LEGAL STATUS

[Date of request for examination] 23.02.2001

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-00041

[Date of requesting appeal against examiner's decision of rejection] 06.01.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## FORMATION OF BURIED WIRING AND BURIED WIRING

### \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

### CLAIMS

---

#### [Claim(s)]

[Claim 1] The process which forms the island pattern which consists of the insulating layer concerned and reaches the almost same height as the insulating layer concerned at intervals of predetermined in the slot pattern concerned while forming a slot pattern in the insulating layer concerned by etching an insulating layer, The process which forms a conductive layer on said insulating layer in the condition of embedding the inside of said slot pattern, The formation approach of embedding wiring characterized by performing the process which grinds said conductive layer by chemical mechanical polishing until said insulating layer is exposed, and forms embedding wiring which consists of the conductive layer concerned in said slot pattern.

[Claim 2] Embedding wiring characterized by arranging the slot pattern formed in the insulating layer, and the island pattern which was formed in the slot pattern concerned, and which consists of the same quality of the material as the insulating layer concerned while embedding and reaching from the base of said slot pattern in said embedding wiring in wiring at the top-face height of said insulating layer at intervals of predetermined.

[Claim 3] It is embedding wiring characterized by arranging each island pattern with which said each island pattern is arranged in the direction of a short hand of said slot pattern in embedding wiring according to claim 2 with a lap at the longitudinal direction.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the formation approach of embedding wiring and embedding wiring which are used for a semiconductor device about the formation approach of embedding wiring, and embedding wiring.

[0002]

[Description of the Prior Art] the production process of recent years and a semiconductor device -- chemical mechanical polishing (it is described as CMP below Chemical Mechanical Polishing:) -- development of the approach of embedding using law and forming wiring is furthered. By this approach, the above-mentioned conductive layer is ground after forming a conductive layer on an insulator layer in the condition of embedding first the inside of the slot pattern formed in the insulator layer until an insulator layer top face is exposed by the CMP method. By this polish, the conductive layer which remained only in the slot pattern is considered as wiring. By this approach, since patterning of a conductive layer can be performed without [ without it uses corrosive etching gas, and ] raising substrate temperature, while becoming possible to raise the dependability of wiring, pattern processing of the copper which attracts attention as a wiring material in recent years becomes easy.

[0003]

[Problem(s) to be Solved by the Invention] However, since the terminal point detection approach of the polish in the CMP method is not established, he sets up more polish time amount and is trying to remove the conductive layer on an insulator layer completely by the manufacture approach of the above-mentioned semiconductor device. For this reason, polish reaches even the conductive layer in the slot pattern formed in the insulator layer. Thus, since the so-called dishing phenomenon in which polish of a conductive layer progresses mostly depending on the opening line breadth of a slot pattern arises when polish reaches even in a slot pattern, a hollow is formed in the top face of embedding wiring. The hollow by this dishing becomes a depth of 150nm or more in embedding wiring with a wiring width of face of 10 micrometers or more. Therefore, flattening of the polish front face cannot be carried out.

[0004] And if an interlayer insulation film is formed, for example on the above-mentioned polish front face, the hollow configuration on the front face of polish will appear in the front face of this interlayer insulation film. If the upper embedding wiring is formed in the interlayer insulation film of the shape of such surface type

using the CMP method in the same procedure as the above, a conductive layer will remain in [ else / in the slot pattern formed in the interlayer insulation film ] the above-mentioned hollow configuration. And when the above-mentioned hollow configuration is located between the conductive layers in a slot pattern, i.e., the upper embedding wiring, between the upper embedding wiring will short-circuit by the conductive layer which remained in this hollow configuration. Therefore, it becomes difficult to secure the dependability of multilayer-interconnection structure.

[0005]

[Means for Solving the Problem] In case the formation approach of embedding wiring of this invention for solving the above-mentioned technical problem forms a slot pattern in the insulating layer concerned by etching an insulating layer, it forms the island pattern which consists of the insulating layer concerned at intervals of predetermined in the slot pattern concerned. Then, it is characterized by forming embedding wiring which grinds the conductive layer which formed membranes on the insulating layer by chemical mechanical polishing, and consists of a conductive layer in a slot pattern.

[0006] Moreover, embedding wiring of this invention is characterized by coming to arrange the island pattern which consists of the same quality of the material as the insulating layer concerned at intervals of predetermined while it reaches from the base of this slot pattern in embedding wiring at the top-face height of an insulating layer.

[0007]

[Function] By the formation approach of the above-mentioned embedding wiring, in case a slot pattern is formed in an insulating layer, a slot pattern with partial narrow aperture width is formed by forming the island pattern which consists of the insulating layer concerned in the slot pattern concerned. For this reason, in case chemical mechanical polishing of the conductive layer on an insulating layer is carried out, after polish reaches even the insulating layer concerned, the dishing phenomenon in which the conductive layer in a slot pattern with wide aperture width is ground more quickly than an insulating layer is prevented, and flattening of the front face of embedding wiring is carried out.

[0008] Moreover, inside the above-mentioned embedding wiring, since the island pattern of the same quality of the material as the insulating layer which reaches the top-face height of an insulating layer from the base of a slot pattern is arranged, the partial aperture width of a slot pattern becomes narrow. For this reason, the embedding wiring concerned was formed of chemical mechanical polishing to which the conductive layer in a slot pattern with wide aperture width prevented the dishing phenomenon ground more quickly than an insulating layer.

[0009]

[Example] Hereafter, the example of this invention is explained based on a drawing. Drawing 1 (1) - (3) is the important section sectional view showing the formation approach of embedding wiring of this invention according to claim 1, and especially drawing 1 (3) is the important section sectional view showing an example of embedding wiring according to claim 2. Here, how to form embedding wiring according to claim 2 is explained as the 1st example using these drawings.

[0010] First, at the 1st process shown in drawing 1 (1), an insulating layer 12 is formed on the substrate 11 which consists of a semi-conductor like silicon, for example. Suppose that the film which consists of film of a silicon oxide system, film of a silicon nitride system, or other insulating ingredients is used as this insulator layer 12, and the silicon oxide film is used here. Subsequently, the resist pattern which is not illustrated here is formed on an insulating layer 12 by the lithography method. Then, by etching which used this resist pattern as the mask, while forming the slot pattern 13 in an insulating layer 12, it leaves two or more island patterns 14 which consist of an insulating layer 12 in the slot pattern 13.

[0011] The above-mentioned slot pattern 13 is for embedding wiring formation containing a pad part or a wiring part, for example, is formed in the aperture width of  $W = 10$  micrometers, and a depth of  $D = 0.35$  micrometers. And for the above-mentioned island pattern 14, a top face is the predetermined spacing  $d1$  and  $d2$  between the  $0.3$  micrometerx island patterns 14 which are the squares of the size which is  $0.3$  micrometers and adjoin in a longitudinal direction and the direction of a short hand, and between the side attachment walls of the slot pattern 13. It is arranged regularly.

[0012] The relation between the aperture width of a slot pattern at the time of grinding embedding wiring in the above-mentioned slot pattern and an insulating layer by the CMP method and the depth of a hollow produced on the conductive layer front face in a slot pattern according to a dishing phenomenon is shown in drawing 2 here. This graph shows that the hollow according [ the aperture width of a slot pattern ] to a dishing phenomenon is not generated in embedding wiring in the slot pattern concerned in  $1$  micrometer or less. For this reason, spacing between each island pattern 14 shown in drawing 1 (1) is set as  $d1$  and  $d2 = 0.71$ micrometer, and it is made for between each island pattern 14 to be set to  $1$  micrometer or less. However, although the condition of having arranged the island pattern of three trains in the direction of a short hand of the slot pattern 13 was shown on the drawing for simplification, the island pattern of 13 trains will be arranged in the direction of a short hand. In addition, the configuration and top-face product of the island pattern 14 on top are not limited.

Moreover, arrangement spacing of the island pattern 14 is spacing which the hollow by the dishing phenomenon does not produce in the conductive layer in the slot pattern 13 with the amount of polishes of the conductive layer performed at a next process, and it is not the value limited above.

[0013] Next, the substrate layer which is not illustrated here on the top face of the insulating layer 12 including the wall of the slot pattern 13 and the exposure front face of the island pattern 14 is formed. In supposing this substrate layer that the quality of the material which becomes the adhesion layer and diffusion prevention layer of the conductive layer and insulating layer 12 which form membranes at the following process is used and using copper as the above-mentioned conductive layer, it uses for the above-mentioned substrate layer the titanium nitride film which formed membranes to 30nm thickness with the CVD method.

[0014] Next, in the 2nd process shown in drawing 1 (2), a conductive layer 15 is formed on an insulating layer 12 in the condition of embedding the inside of the slot pattern 13. Suppose that the polish recon which diffused aluminum, copper, and an impurity is used as a conductive layer 15, and copper is used here. In this case, after forming the conductive layer 15 which consists of copper by 0.4-micrometer thickness by the spatter, heat treatment for 30 minutes is performed at the temperature of 450 degrees C, without destroying the vacuum in the sputtering system used here. By this, the flow of the conductive layer 15 is carried out into the slot pattern 13, and flattening of the front face of the conductive layer 15 concerned is carried out.

[0015] Then, at the 3rd process shown in drawing 1 (3), a conductive layer 15 is ground from a top face by the CMP method until the top face of an insulating layer 12 is exposed. Here, a conductive layer 15 and the substrate layer concerned are ground, and it leaves a conductive layer 15 only in the slot pattern 13 until the conductive layer 15 and the above-mentioned substrate layer of insulating-layer 12 top face are removed completely. Of this, the embedding wiring 16 which consists of a conductive layer 15 is formed. For this embedding wiring 16, the island pattern 14 which consists of the same quality of the material as an insulating layer 12 while reaching the top-face height of an insulating layer 12 from the base of the slot pattern 13 is the predetermined spacing d1 and d2. It has been arranged.

[0016] By the formation approach of the above-mentioned embedding wiring, by having set up arrangement spacing of the island pattern 14 as mentioned above, the partial aperture width of the slot pattern 13 is set to 1 micrometer or less, and polish advances, without making the conductive layer 15 16 in the slot pattern 13, i.e., embedding wiring, generate a dishing phenomenon. Therefore, it becomes possible to keep the

polish front face 17 flat, to embed it, and to form wiring 16.

[0017] For this reason, as shown in drawing 3, the front face of the layer insulation layer 31 which formed membranes on the insulating layer 12 including the top face of the embedding wiring 16 becomes a flat-surface configuration. And when the upper embedding wiring 33 is formed in the slot pattern 32 using the CMP method like the 2nd process and the 3rd process which were shown in above-mentioned drawing 1 (2) and (3) after forming in this interlayer insulation film 31 the slot pattern 32 and the through hole which is not illustrated here and to which it embeds in and wiring 16 is exposed, a conductive layer does not remain in the part on the front face of the layer insulation layer 31. For this reason, it is prevented that between the upper embedding wiring 33 short-circuits by the conductive layer remainder. Therefore, \*\* will become possible if the dependability of the multilayer-interconnection structure which consisted of embedding wiring 16 and upper embedding wiring 33 is secured. In addition, the dependability of a multilayer interconnection when multilayering progresses further is securable by forming an island pattern similarly with the 1st process of above-mentioned drawing 1 (1) having shown in the slot pattern 32 with which the upper embedding wiring 33 is formed.

[0018] as mentioned above, copper wiring which had a technical problem in dependability in processing by dry etching since formation of reliable embedding wiring was attained -- dry etching -- it becomes possible to form at a free process. That is, it is necessary to make substrate temperature into an elevated temperature in formation of copper wiring by dry etching like RIE. However, there was a case where copper wiring separated in response to the effect according [ the barrier metal used as the substrate of copper wiring ] to heat stress, by making substrate temperature into an elevated temperature. Moreover, in the dry etching in an elevated temperature, when the compound of the chlorine and copper which are an etching gas component adhered to a chamber wall, there was a case where an etching rate was changed. Thus, with the wiring formation technique by dry etching, application of copper wiring to a semiconductor device was difficult. however -- above -- dry etching -- it becomes possible by having made it possible to form copper wiring at a free process to put application of copper wiring to a semiconductor device in practical use.

[0019] Drawing 4 shown below is the important section sectional view showing the 2nd example of embedding wiring. This embedding wiring 16 makes the top-face configuration of the island pattern 14 of the embedding wiring 16 shown in the 1st example of the above the 0.3micrometerx15micrometer Rhine configuration. And this island pattern 14 is arranged so that that long side may become parallel to the

longitudinal direction of the slot pattern 13, and it is arranged so that between each island pattern 14 located in the direction of a short hand or between the side attachment walls of the island pattern 14 and the slot pattern 13 may be maintained at spacing not more than  $d1 = 1\text{micrometer}$ . In addition, the aspect ratio and top-face product of the island pattern 14 on top are not limited. Moreover, arrangement spacing of the island pattern 14 is spacing which the hollow by the dishing phenomenon does not produce in the conductive layer in the slot pattern 13 with the amount of polishes of the conductive layer performed at a next process, and it is not the value limited above.

[0020] The direction of a short hand of the embedding wiring 16 will be intercepted with the island pattern 14 by the embedding wiring 16 of the above-mentioned configuration. When it embeds by electromigration or the stress migration and a void is formed in wiring 16 from this, this void embedding and crossing the direction of a short hand of wiring 16 is prevented, and it can prevent that the embedding wiring 16 is disconnected. It becomes possible to aim at improvement in the dependability of thick wiring with which current density becomes high by this.

[0021] Moreover, the above-mentioned embedding wiring 16 is manufactured in the same procedure with drawing 1 having shown. Under the present circumstances, since the island pattern 14 which intercepts the direction of a short hand of the embedding wiring 16 had been arranged at intervals of 1 micrometer or less, it was formed of chemical mechanical polishing which was formed in the 1st example of the above and which embedded and prevented the dishing phenomenon like wiring.

[0022]

[Effect of the Invention] It can prevent that embed in case chemical mechanical polishing of the conductive layer on an insulating layer is carried out, it embeds in a slot pattern and wiring is formed by according to the formation approach of embedding wiring of this invention forming an island pattern in the slot pattern of an insulating layer, and narrowing the partial aperture width of the slot pattern concerned, as explained above, and the hollow by the dishing phenomenon is formed in the front face of wiring. Therefore, the surface smoothness on the front face of polish is secured, and it becomes possible to aim at improvement in the dependability of the multilayer interconnection which applied embedding wiring.

[0023] Moreover, according to embedding wiring of this invention, it becomes possible to make the embedding wiring concerned into a forming-by chemical mechanical polishing which prevented dishing phenomenon thing by arranging the island pattern which was formed in the slot pattern of an insulator layer and which embeds and



reaches in wiring at the top-face height of an insulating layer, and narrowing partial aperture width of a slot pattern. Therefore, the surface smoothness of an insulating layer and an embedding wiring front face is secured, and it becomes possible to aim at improvement in the dependability of the multilayer interconnection using embedding wiring.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is Fig. 1 explaining the 1st example.

[Drawing 2] It is the graph which shows wiring width of face and the dishing depth.

[Drawing 3] It is Fig. 2 explaining the 1st example.

[Drawing 4] It is drawing explaining the 2nd example.

[Description of Notations]

12 Insulating Layer

13 Slot Pattern

14 Island Pattern

15 Conductive Layer

16 Embedding Wiring

**Abstract:**

**PURPOSE:** To provide a formation method of a buried wiring which can ensure flatness of a polishing surface and a buried wiring.

**CONSTITUTION:** An insulation layer 12 is etched for forming a groove pattern 13 in the insulation layer 12 and an island pattern 14 which is formed of the insulation layer 12 and is almost as high as the layer 12 inside the groove pattern 13 at a fixed interval. A conductive layer 15 is formed on the insulation layer 12 to bury the inside of the groove pattern 13. The conductive layer 15 is polished by chemical and mechanical polishing until the insulation layer 12 is exposed and a buried wiring 15 composed of the conductive layer 15 is formed inside the groove pattern 13. Thereby, the conductive layer 15 is chemically and mechanically polished making an opening width of the groove pattern 13 partially narrow and a buried wiring 16 wherein dishing phenomenon is prevented is formed.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-8039

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所	
H O 1 L	21/3205		H O 1 L	21/88	K
	21/304	3 2 1		21/304	3 2 1 S
					3 2 1 M
				21/88	B

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平7-158835

(22)出願日 平成7年(1995)6月26日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 阿部 一英

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

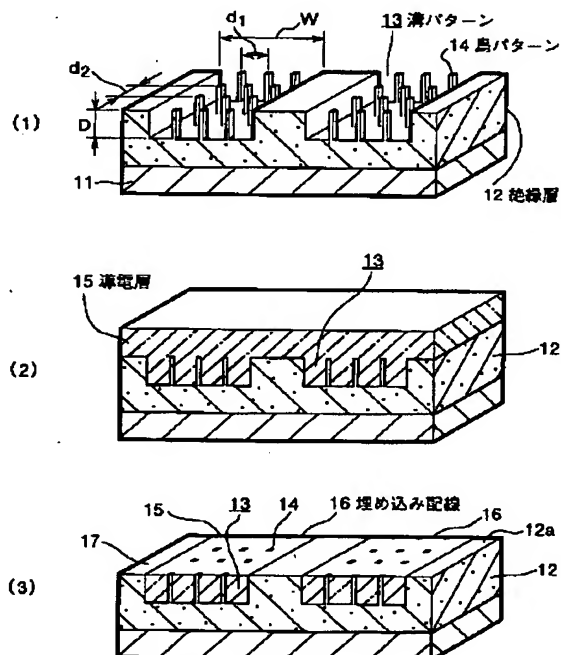
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 埋め込み配線の形成方法及び埋め込み配線

(57)【要約】

【目的】 研磨表面の平坦化を確保できる埋め込み配線の形成方法及び埋め込み配線を提供する。

【構成】 絶縁層12をエッチングすることによって、絶縁層12に溝パターン13を形成すると共に絶縁層12からなり絶縁層12とほぼ同じ高さに達する島パターン14を溝パターン13内に所定間隔で形成する。溝パターン13内を埋め込む状態で、絶縁層12上に導電層15を成膜する。絶縁層12が露出するまで導電層15を化学的機械研磨によって研磨し、溝パターン13内に導電層15からなる埋め込み配線16を形成する。これによって、溝パターン14の開口幅を部分的に狭くした状態で導電層15の化学的機械研磨を行い、ディッシング現象を防止した埋め込み配線16の形成が行われる。



第1実施例を説明する第1図

## 【特許請求の範囲】

【請求項1】 絶縁層をエッチングすることによって、当該絶縁層に溝パターンを形成すると共に当該絶縁層からなり当該絶縁層とほぼ同じ高さに達する島パターンを当該溝パターン内に所定間隔で形成する工程と、前記溝パターン内を埋め込む状態で、前記絶縁層上に導電層を成膜する工程と、前記絶縁層が露出するまで前記導電層を化学的機械研磨によって研磨し、前記溝パターン内に当該導電層からなる埋め込み配線を形成する工程と、を行うことを特徴とする埋め込み配線の形成方法。

【請求項2】 絶縁層に形成された溝パターンと、当該溝パターン内に形成された埋め込み配線において、前記埋め込み配線内には、前記溝パターンの底面から前記絶縁層の上面高さに達すると共に当該絶縁層と同様の材質からなる島パターンが所定間隔で配置されていることを特徴とする埋め込み配線。

【請求項3】 請求項2記載の埋め込み配線において、前記各島パターンは、前記溝パターンの短手方向に配置される各島パターンが長手方向に重なりを持って配置されていることを特徴とする埋め込み配線。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、埋め込み配線の形成方法及び埋め込み配線に関し、特に半導体装置に用いられる埋め込み配線の形成方法及び埋め込み配線に関する。

## 【0002】

【従来の技術】近年、半導体装置の製造工程では、化学的機械研磨（Chemical Mechanical Polishing:以下、CMPと記す）法を用いて埋め込み配線を形成する方法の開発が進められている。この方法では、先ず、絶縁膜に形成した溝パターン内を埋め込む状態で絶縁膜上に導電層を成膜した後、CMP法によって絶縁膜上面が露出するまで上記導電層を研磨する。この研磨によって、溝パターン内にのみ残った導電層を配線とする。この方法では、腐食性のエッチングガスを用いることなくかつ基板温度を上昇させることなく導電層のパターニングを行うことができるため、配線の信頼性を向上させることが可能になると共に、近年配線材料として注目されている銅のパターン加工が容易になる。

## 【0003】

【発明が解決しようとする課題】しかし、上記半導体装置の製造方法では、CMP法における研磨の終点検出方法が確立されていないため、研磨時間を多めに設定して絶縁膜上の導電層を完全に除去するようにしている。このため、絶縁膜に形成した溝パターン内の導電層にまで研磨が達する。このように、溝パターン内にまで研磨が達した場合には、溝パターンの開口線幅に依存して導電層の研磨が多く進むいわゆるディッシング現象が生じる

ため、埋め込み配線の上面に窪みが形成される。このディッシングによる窪みは、 $10\mu\text{m}$ 以上の配線幅の埋め込み配線では $150\text{nm}$ 以上の深さになる。したがって、研磨表面を平坦化することができない。

【0004】そして、例えば上記研磨表面上に層間絶縁膜を成膜すると、この層間絶縁膜の表面に研磨表面の窪み形状が現れる。このような表面形状の層間絶縁膜に、上記と同様の手順でCMP法を用いて上層埋め込み配線を形成すると、層間絶縁膜に形成した溝パターン内の他に上記窪み形状内にも導電層が残る。そして、溝パターン内の導電層すなわち上層埋め込み配線間上記窪み形状が位置する場合、この窪み形状内に残った導電層によって上層埋め込み配線間がショートしてしまう。したがって、多層配線構造の信頼性を確保することが困難になる。

## 【0005】

【課題を解決するための手段】上記の課題を解決するための本発明の埋め込み配線の形成方法は、絶縁層をエッチングすることによって当該絶縁層に溝パターンを形成する際、当該溝パターン内に所定間隔で当該絶縁層からなる島パターンを形成する。その後、絶縁層上に成膜した導電層を化学的機械研磨によって研磨して溝パターン内に導電層からなる埋め込み配線を形成することを特徴としている。

【0006】また、本発明の埋め込み配線は、埋め込み配線内に、この溝パターンの底面から絶縁層の上面高さに達すると共に当該絶縁層と同様の材質からなる島パターンを所定間隔で配置してなることを特徴としている。

## 【0007】

【作用】上記埋め込み配線の形成方法では、絶縁層に溝パターンを形成する際に当該溝パターン内に当該絶縁層からなる島パターンを形成することによって、部分的な開口幅が狭い溝パターンが形成される。このため、絶縁層上の導電層を化学的機械研磨する際には、研磨が当該絶縁層にまで達した後、開口幅が広い溝パターン内の導電層が絶縁層よりも速く研磨されるディッシング現象が防止され、埋め込み配線の表面が平坦化される。

【0008】また、上記埋め込み配線の内部には、溝パターンの底面から絶縁層の上面高さに達する絶縁層と同様の材質の島パターンが配置されていることから、溝パターンの部分的な開口幅が狭くなる。このため、当該埋め込み配線は、開口幅が広い溝パターン内の導電層が絶縁層よりも速く研磨されるディッシング現象を防止した化学的機械研磨によって形成されたものになる。

## 【0009】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1(1)～(3)は、本発明の請求項1記載の埋め込み配線の形成方法を示す要部断面図であり、特に図1(3)は請求項2記載の埋め込み配線の一例を示す要部断面図である。ここでは、これらの図を用いて、請

求項2記載の埋め込み配線を形成する方法を第1実施例として説明する。

【0010】先ず、図1(1)に示す第1工程では、例えば、シリコンのような半導体からなる基板11上に絶縁層12を成膜する。この絶縁層12としては、酸化シリコン系の膜、窒化シリコン系の膜またはその他の絶縁性材料で構成される膜が用いられ、ここでは酸化シリコン膜を用いることとする。次いで、リソグラフィ法によって、ここでは図示しないレジストパターンを絶縁層12上に形成する。その後、このレジストパターンをマスクにしたエッチングによって、絶縁層12に溝パターン13を形成すると共に、溝パターン13内に絶縁層12からなる複数の島パターン14を残す。

【0011】上記溝パターン13は、パッド部分や配線部分を含む埋め込み配線形成用のものであり、例えば開口幅 $W=10\mu\text{m}$ 、深さ $D=0.35\mu\text{m}$ で形成する。そして、上記島パターン14は、例えば上面が $0.3\mu\text{m}\times 0.3\mu\text{m}$ の広さの正方形であり、長手方向及び短手方向に隣接する島パターン14間及び溝パターン13の側壁との間に、所定間隔 $d_1$ 、 $d_2$ で規則正しく配置される。

【0012】ここで図2には、上記溝パターン内の埋め込み配線と絶縁層とをCMP法によって研磨する際の、溝パターンの開口幅とディッシング現象によって溝パターン内の導電層表面に生じる窪みの深さとの関係を示す。このグラフから、溝パターンの開口幅が $1\mu\text{m}$ 以下の範囲では当該溝パターン内の埋め込み配線にはディッシング現象による窪みが生じないことがわかる。このため、図1(1)に示した各島パターン14間の間隔を $d_1$ 、 $d_2=0.71\mu\text{m}$ に設定し、各島パターン14間が $1\mu\text{m}$ 以下になるようにする。但し、簡略化のため図面上では溝パターン13の短手方向に3列の島パターンを配列した状態を示したが、短手方向には13列の島パターンが配列されることになる。尚、島パターン14の上面の形状及び上面積は限定されるものではない。また、島パターン14の配置間隔も、後の工程で行われる導電層の研磨量によって、溝パターン13内の導電層にディッシング現象による窪みが生じない間隔であれば、上記に限定される値ではない。

【0013】次に、溝パターン13の内壁及び島パターン14の露出表面を含む絶縁層12の上面に、ここでは図示しない下地層を成膜する。この下地層は、次の工程で成膜する導電層と絶縁層12との密着層及び拡散防止層になる材質を用いることとし、上記導電層として例えば銅を用いる場合には、上記下地層には、例えばCVD法によって $30\text{nm}$ の膜厚に成膜した窒化チタン膜を用いる。

【0014】次に、図1(2)に示す第2工程では、溝パターン13内を埋め込む状態で、絶縁層12上に導電層15を成膜する。導電層15としては、アルミニウ

ム、銅、不純物を拡散させたポリシリコン等が用いられ、ここでは銅を用いることとする。この場合、スパッタ法によって $0.4\mu\text{m}$ の膜厚で銅からなる導電層15を成膜した後、ここで用いたスパッタ装置内の真空を破壊することなく $450^\circ\text{C}$ の温度で30分間の熱処理を行う。これによって、導電層15を溝パターン13内にフローさせて当該導電層15の表面を平坦化する。

【0015】その後、図1(3)に示す第3工程では、絶縁層12の上面が露出するまでCMP法によって導電層15を上面から研磨する。ここでは、絶縁層12上面の導電層15及び上記下地層が完全に除去されるまで導電層15及び当該下地層を研磨して溝パターン13内のみ導電層15を残す。これによって、導電層15からなる埋め込み配線16が形成される。この埋め込み配線16は、溝パターン13の底面から絶縁層12の上面高さに達すると共に絶縁層12と同様の材質からなる島パターン14が所定間隔 $d_1$ 、 $d_2$ で配置されたものになる。

【0016】上記埋め込み配線の形成方法では、島パターン14の配置間隔を上記のように設定したことによって、溝パターン13の部分的な開口幅が $1\mu\text{m}$ 以下になり、溝パターン13内の導電層15すなわち埋め込み配線16にディッシング現象を発生させることなく研磨が進行する。したがって、研磨表面17を平坦に保って埋め込み配線16を形成することが可能になる。

【0017】このため、図3に示すように、埋め込み配線16の上面を含む絶縁層12上に成膜した層間絶縁層31の表面が平面形状になる。そして、この層間絶縁層31に溝パターン32とここでは図示しない埋め込み配線16を露出させるスルーホールとを形成した後、上記図1(2)、(3)に示した第2工程及び第3工程と同様にCMP法を用いて溝パターン32内に上層埋め込み配線33を形成した場合、層間絶縁層31の表面上の一部分に導電層が残ることはない。このため、上層埋め込み配線33間が導電層残りによってショートすることが防止される。したがって、埋め込み配線16及び上層埋め込み配線33で構成された多層配線構造の信頼性を確保すると可能になる。尚、上層埋め込み配線33が形成される溝パターン32内に、上記の図1(1)の第1工程で示したと同様にして島パターンを形成することによって、さらに多層化が進んだ場合の多層配線の信頼性を確保できる。

【0018】以上のように、信頼性の高い埋め込み配線の形成が可能になることから、ドライエッチングによる加工では信頼性に課題があった銅配線をドライエッチングフリーな工程で形成することが可能になる。すなわち、RIEのようなドライエッチングによる銅配線の形成では、基板温度を高温にする必要がある。しかし、基板温度を高温にすることによって、銅配線の下地となるバリアメタルが熱ストレスによる影響を受けて銅配線が

剥がれる場合があった。また、高温でのドライエッチングでは、エッチングガス成分である塩素と銅との化合物がチャンバ内壁に付着することによってエッチングレートが変動する場合があった。このように、ドライエッチングによる配線形成技術では、半導体装置への銅配線の適用は困難であった。しかし、上記のようにドライエッチングフリーな工程で銅配線を形成することを可能にしたことで、半導体装置への銅配線の適用を実用化することが可能になる。

【0019】次に示す図4は、埋め込み配線の第2実施例を示す要部断面図である。この埋め込み配線16は、上記第1実施例で示した埋め込み配線16の島パターン14の上面形状を $0.3\mu\text{m} \times 15\mu\text{m}$ のライン形状にしたものである。そして、この島パターン14は、溝パターン13の長手方向に対してその長辺が平行になるように配置され、短手方向に位置する各島パターン14間または島パターン14と溝パターン13の側壁との間が $d1 = 1\mu\text{m}$ 以下の間隔に保たれるように配置される。尚、島パターン14の上面の縦横比及び上面積は限定されるものではない。また、島パターン14の配置間隔も、後の工程で行われる導電層の研磨量によって、溝パターン13内の導電層にディッシング現象による窪みが生じない間隔であれば、上記に限定される値ではない。

【0020】上記構成の埋め込み配線16は、埋め込み配線16の短手方向が島パターン14によって遮断された状態になっている。このことから、エレクトロマイグレーションやストレスマイグレーションによって埋め込み配線16にボイドが形成された場合に、このボイドが埋め込み配線16の短手方向を横断することが防止され、埋め込み配線16が断線することを防止できる。これによって、電流密度が高くなる太い配線の信頼性の向上を図ることが可能になる。

【0021】また、上記埋め込み配線16は、図1で示したと同様の手順で製造される。この際、埋め込み配線16の短手方向を遮断する島パターン14は、 $1\mu\text{m}$ 以

下の間隔で配置されることから、上記第1実施例で形成した埋め込み配線と同様に、ディッシング現象を防止した化学的機械研磨によって形成されたものになる。

#### 【0022】

【発明の効果】以上説明したように本発明の埋め込み配線の形成方法によれば、絶縁層の溝パターン内に島パターンを形成して当該溝パターンの部分的な開口幅を狭めることによって、絶縁層上の導電層を化学的機械研磨して溝パターン内に埋め込み配線を形成する際に埋め込み配線の表面にディッシング現象による窪みが形成されることを防止できる。したがって、研磨表面の平坦性が確保され、埋め込み配線を適用した多層配線の信頼性の向上を図ることが可能になる。

【0023】また、本発明の埋め込み配線によれば、絶縁層の溝パターン内に形成された埋め込み配線内に絶縁層の上面高さに達する島パターンを配置して溝パターンの部分的な開口幅を狭くすることで、当該埋め込み配線をディッシング現象を防止した化学的機械研磨によって形成したのものにすることが可能になる。したがって、絶縁層及び埋め込み配線表面の平坦性を確保し、埋め込み配線を用いた多層配線の信頼性の向上を図ることが可能になる。

#### 【図面の簡単な説明】

【図1】第1実施例を説明する第1図である。

【図2】配線幅とディッシング深さを示すグラフである。

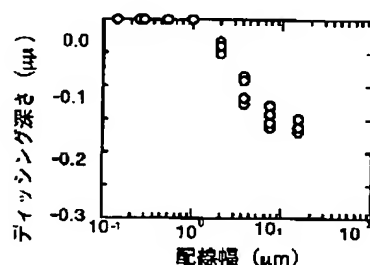
【図3】第1実施例を説明する第2図である。

【図4】第2実施例を説明する図である。

#### 【符号の説明】

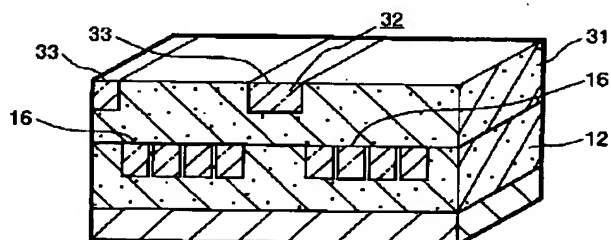
- 12 絶縁層
- 13 溝パターン
- 14 島パターン
- 15 導電層
- 16 埋め込み配線

【図2】



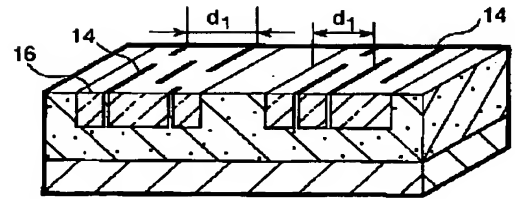
配線幅とディッシング深さを示すグラフ

【図3】

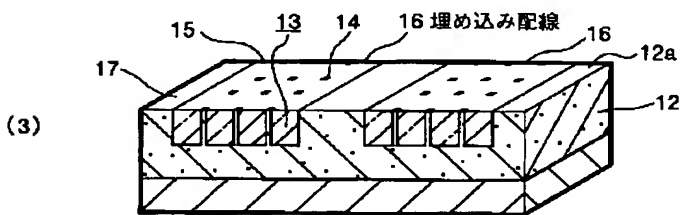


第1実施例を説明する第2図

【図 4】



(2)



第1実施例を説明する第1図